

大规模集成电路脉冲拨号器的 解剖、分析与设计

张斯湜 梁春安

(自动化系)

摘要 作者为研制按键电话用的大规模集成电路进行了大量的工作。在解剖和分析优选的脉冲拨号器后,吸收其设计思想和设计方法,完成了脉冲拨号器的逻辑设计。一旦此集成拨号器投产成功,必将产生相当的社会效益,并为开发新一代电话机集成电路打下基础。

主题词 集成电路; 数字系统; 逻辑设计/CAD集成电路设计

0 引言

当前,我国集成电路设计主要是解剖、分析国外优秀样品的逆向设计。这样,一方面我们可通过对通用芯片的剖析、研究,以便在较高的起点上适应世界微电子技术的潮流;另一方面由于宏观的逆向设计,其微观上的每一步都是正向设计过程,通过逆向设计的锻炼,可以使我们积累设计经验,以利于正向设计水平的提高。迅速提高我国集成电路设计水平,已成为当前我国微电子工业的当务之急。

1 集成拨号器的系统框图及功能介绍

集成拨号器是为了适应程控交换机,替代机械式旋转拨号盘的新一代按键电话的主要芯片。它操作简便,发送速度快,可以提高程控交换机的利用率。此外,由于价格低,可靠性高,维护方便,有利于电话机的普及。近年来,我国在引进程控交换机的同时也发展和普及了按键电话。采用的集成拨号器均为国外进口芯片。我们所选芯片已被国内一些电话机生产厂家用为按键电话拨号器,且该芯片可以采用国内成熟的 $5\mu\text{m}$ CMOS工艺制造和标准单元电路设计,有利于版图设计与提高产品成品率。

该集成拨号器芯片面积为 $3.75 \times 5\text{mm}^2$,其上有5000余只MOS晶体管,它能完成机械式旋转拨号器的全部功能,并能扩展成自动直拨电话。其外型如图1所示。

端子介绍:

- (1) V_{DD} 电源正电压输入端
- (2) PULSE 拨号脉冲输出端
- (3) M_1 消除听筒噪声输出端

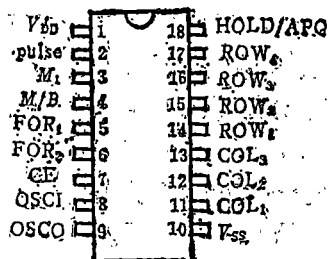


图1 芯片外形

- (4) M/B 占/空比选择输入端
- (5)、(6) FOR1、FOR2 可编程时钟控制输入端
- (7) CE 挂机检测输入端
- (8) OSC1 振荡器输入端
- (9) OSCO 振荡器输出端
- (10) V_{SS} 电源负电压输入端
- (11)、(12)、(13) COL1, COL2, COL3 拨号键盘列输入端
- (14)、(15)、(16)、(17) ROW1, ROW2, ROW3, ROW4 拨号键盘行输入端
- (18) HOLD/APO 暂停状态/控制输入、输出端。

系统是否处于工作状态取决于 CE 输入。当 CE 为低电平时,系统处于挂机状态,振荡器停振, RAM 内保存上次拨号存入的键码。当 CE 为高电平时,系统处于摘机状态,振荡器开始起振,系统等待键盘的按下,每一按键要保持 14ms 的间隔时间。当第一个按键不是重拨键“井”时,内部 RAM 首先被清除内容,然后将键码存入 RAM 中,尔后这些键码又被取出,转换成相应的拨号脉冲串输出。

由于 RAM 容量为 24bits,当输入键(不包括“井”)超过 23 个时,原存入 RAM 内容全部无效。系统具有重拨和暂停功能,当用户摘机拨号后,被叫用户机占线,主叫用户可以先挂机,稍后再摘机,此时主叫用户不必将拨的号码重拨一遍,而只需按下重拨键“井”,上次拨号存入 RAM 的键码即可被依次取出,发出相应的拨号脉冲。暂停重拨功能,是当用户挂长途时,先拨被叫城市的号码,当被叫城市交换机送来拨号音时,再拨被叫用户机的号码。为防止一次挂不通的情况,在两次拨号间按下暂停键“*”。 “*”键被编码存入 RAM,但系统不向外发出拨号脉冲。重拨时,第一次按下重拨键“井”,系统向外发出城市号码后遇到“*”键编码即停止向外发拨号脉冲,处于暂停状态。直到暂停时间到或被叫用户城市的交换机送来拨号音后,用户再次按下重拨键“井”,系统即发出被叫用户机的号码。本芯片也可以接成自动直拨电话,附加的探测电路测出被叫城市发来的拨号音后,即产生一低电平信号送入 HOLD/APO 端口,强迫解除暂停状态,自动发出被叫户的拨号脉冲。

本拨号器系统框图如图2所示。

本拨号器是一个具有完整逻辑功能的数字系统。整个电路是由完成各自独立功能的子系统构成,由统一的控制电路进行管理。它的基本功能是键盘输入转换成一组与之相对应的二进制编码,并将其存入存储器中。然后又将编码取出并向外发出拨号脉冲串。

本芯片内部采用标准单元设计方法,各内部标准单元中,其 CMOS 电路配对的 P、N 管的宽、长尺寸均为 $L = 5\mu\text{m}$, $W = 15\mu\text{m}$, 根据 PSPICE 电路模拟的结果,其单级反相器的门延时为 0.8ns,最低高电平输入电压 V_{IHmin} 为 2.2V,最高低电平输入电压为 1V。电源电压以 5V 计算。图 3 为 PSPICE 电路模拟结果。由此可知其标准单元逻辑门电路的门延时约为 0.8~4.0ns(最大门为 5 与门)。

TYPE LNOT.OIT

NOT CIRCUIT

CIRCUIT DESCRIPTION

OPTION NOMOD NOPAGE

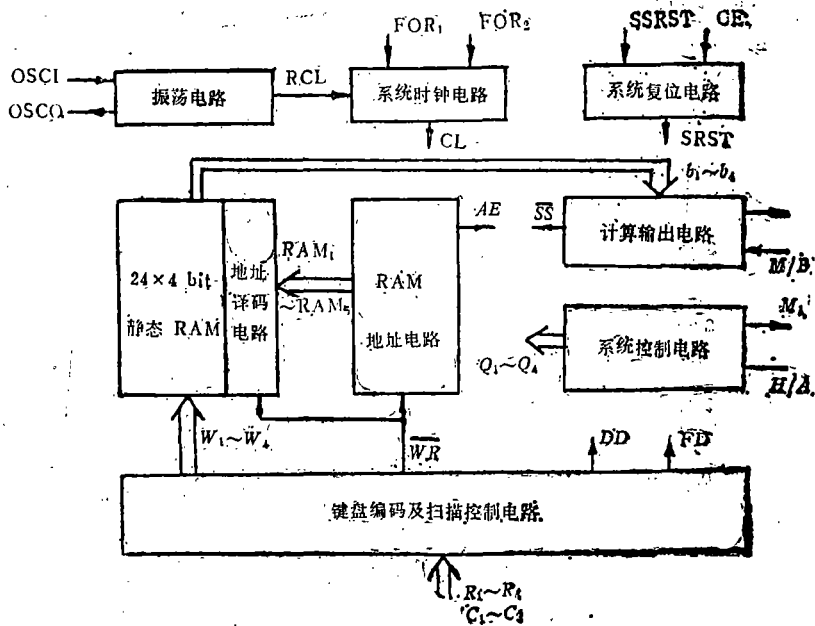


图2 拨号器系统框图

```

M1 1 3 2 2 Q1 W = 10U L = 5U AD = 20P AS = 20P
M2 1 3 0 0 Q2 W = 10U L = 5U AD = 20P AS = 20P
.MODEL Q1 PMOS (LEVEL = 3 TOX = 5.23E - 8 LD = 0.232U XJ = 0.52U
+ NSUB = 2.13E15 IS = 1.0E - 14 RD = 0 RS = 0 VTO = - 0.717 UO = 201
+ THETA = 0.0327 ETA = 0.761 VMAX = 2.87E7 CBS = 0 CBD = 0 PB = 0.8
+ RG = 0 CGSO = 0 CGDO = 0 CGBO = 0)
.MODEL Q2 NMOS (LEVEL = 3 TOX = 5.23E - 8 LD = 0.292U XJ = 0.2U
+ NSUB = 2.57E16 IS = 1.0E - 14 RD = 0 RS = 0 VTO = 0.734 UO = 482
+ THETA = 0.0143 ETA = 0.227 VMAX = 1.09E7 CBS = 0 CBD = 0 PB = 0.8
+ RG = 0 CGSO = 0 CGDO = 0 CGBO = 0)
VDD 2 0 5
VIN 3 0 PULSE(0 5 2NS 0NS 5NS 5NS 15NS)
.TRAN 0.4NS 15NS
.PRINT TRAN V(3) V(1)
.PLOT TRAN V(3) V(1)
.END
  
```

本芯片的基本标准单元有：与非门、或非门等 18 种门电路，以及 D、JK、RS 等 9 种触发器。外围电路采用非标准单元设计，其电路有振荡器及其控制电路、电源敏感电路、系统参考电平电路和具的隐含输入的输入电路等。我们已在电路提取、电路分析与逻辑分析的基础上设计出了完整的逻辑电路。下面对其中几个特色的电路进行简要的分析。

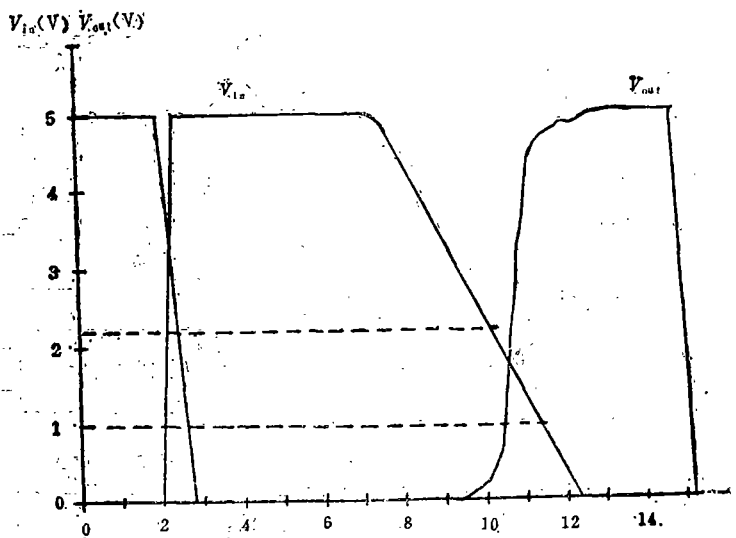


图3 PSPICE电路模拟结果

2 具有隐含输入功能的输入电路

本系统中有一些特殊的输入端,在系统正常工作情况下,它们不外接信号线,而在需要时(如进行检测等),外部可以从这些端子向系统内部输入一电平值,以改变芯片内部的工作机制。这样,从系统内部来看,当此种输入端空挂时,相当于给此端子输入了一个确定的电平(高或低),具有一种隐含输入的作用,图4是这种输入电路的两种形式。其中,图4(a)电路隐含输入高电平,图4(b)电路隐含输入低电平。

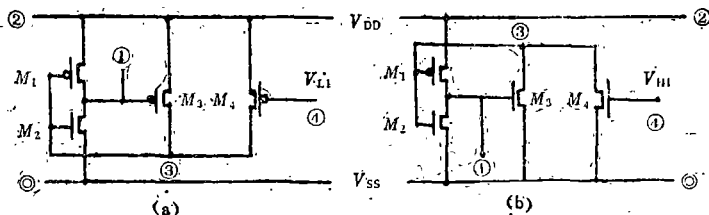


图4 具有隐含输入的两电路

这种电路的特殊作用,主要是由于 V_{H1} 和 V_{L1} 这两个具有特殊性质的信号而产生的。在图4(a)中,当外接端③不接信号时, $V_{L1} = 4.11V$ ($V_{DD} = 5V$)使 M_4 管微导通,尽管 M_4 电阻较大,但仍使 $V_{③}$ 接近 V_{DD} ,在①端输出为低电平,同时使 M_3 导通,维持③端为高电平,如在③端接入一高电平信号一样。当外接端③引入一低电平信号时,①端输出高电平,同时关断 M_3 管。这样 M_4 仍处于微导通状态。由 PSPICE 电路模拟的结果可知此时 M_4 中电流极小 ($I_4 < 0.53\mu A$),可正常工作。图4(b)电路与图4(a)电路相似。 $V_{H1} = 0.73V$,③端空挂时 $V_{①} = 1V$,③端接入一高电平信号后 $V_{①}$ 输出为0,此时 M_4 微导通 ($I_4 < 1.93nA$)。此电路具有隐含输入零电平信号的作用,主要用于芯片测试与系统功能扩展,使用的晶体管较少,即能利于测试与系统功能的扩展,为该芯片设计特色之一。

3 RAM地址电路

本芯片的RAM地址电路使用元件较少,设计思想合理。图5是RAM地址电路逻辑图。其读、写地址分别由两个模为23的计数器提供。由 $\overline{WR}$ 信号通过 $B_1 \sim B_5$ 门选择送入统一的RAM地址译码电路。5个异或门分别比较读、写地址计数器相应地址码,在 AE 端输出读、写地址相等测试信号。 $AE=1$,表示读、写地址相等, $AE=0$ 表示读写地址不等。

RAM存储器只有24个4位单元,当键码输入超过24个时,所有键入均无效,反映在读、写地址电路里是读、写地址计数器分别清零,RAM中前次存入的拨号键码无法再找到,这又是该系统设计的特色。它并不直接对RAM单元内容进行清零处理,而是在地址计数器清零端做了些巧妙的处理,使无用信息无法搜索到。

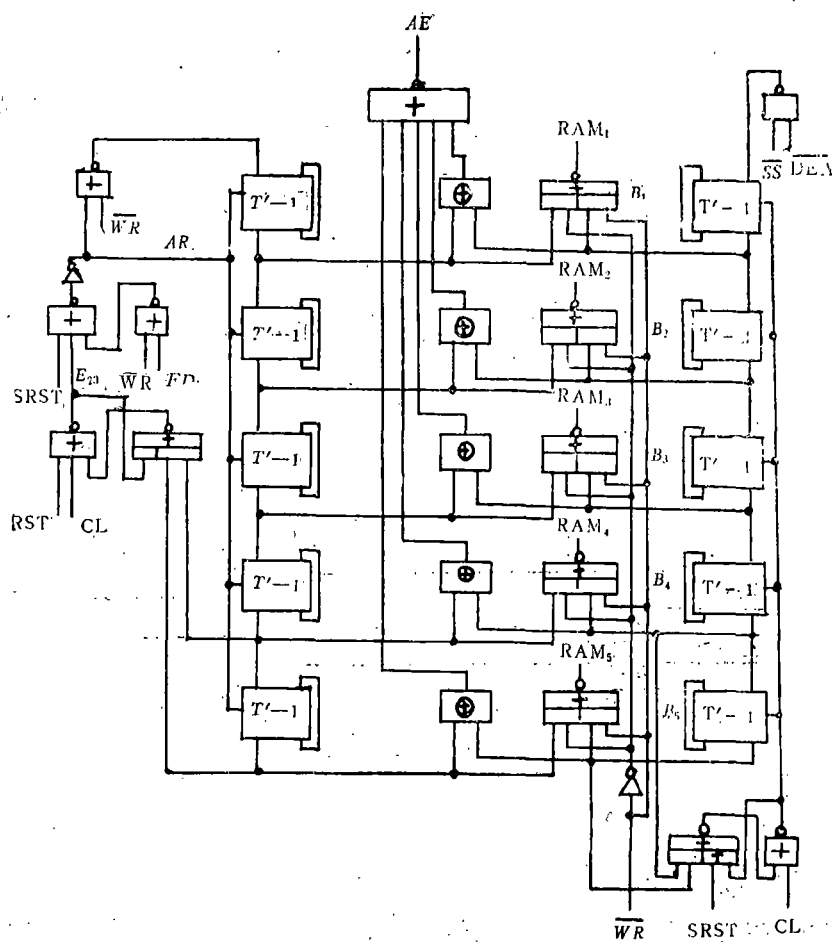


图5 RAM地址电路逻辑图

当摘机后第一个按键是重拨键“井”时,不清RAM写地址计数器,由读地址计数器提供上次存入RAM内容的地址。当第一个按键不是重拨键时,RAM写地址计数器先清零,将第一个键码存入地址为00000的位置,由 $\overline{WR}$ 提供写地址计数器计数脉冲,而读地址计数器由计数输出电路提供计数脉冲。

4 电源敏感电路

本系统采用CMOS工艺制造,芯片电路功耗很低,工作电压范围较广。在摘机状态下,可直接由电话线馈电驱动,在挂机状态下由于电池提供保存RAM内前次拨号内容的电能,以备重拨之用。当系统工作电压太低时,系统停止工作,此功能由电源敏感电路提供。图6是电源敏感电路的电路图。PSPICE电路模拟结果表明,在系统加电瞬间,此电路输出约宽 $10\mu\text{s}$ 的正脉冲。在系统正常工作下输出保持低电平,当系统电压低于 1.8V 时,此电路输出高电平,禁止整个系统工作。图7是SSRST在系统工作过程中的示意图。

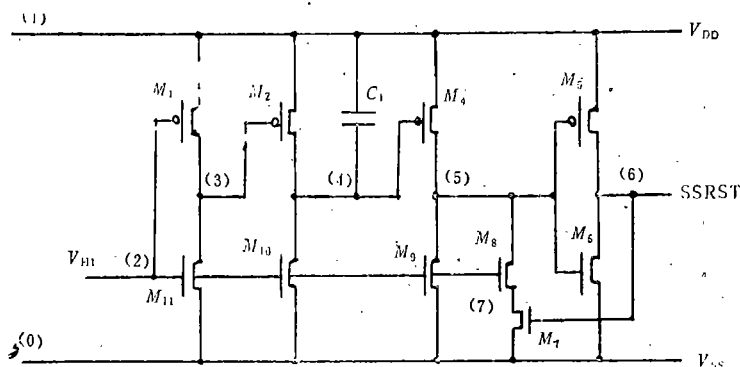


图6 电源敏感电路

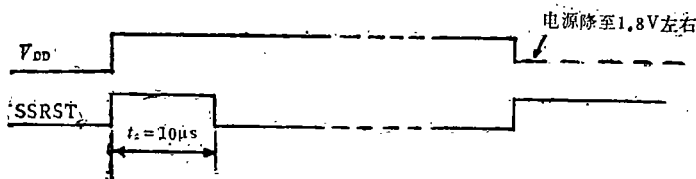
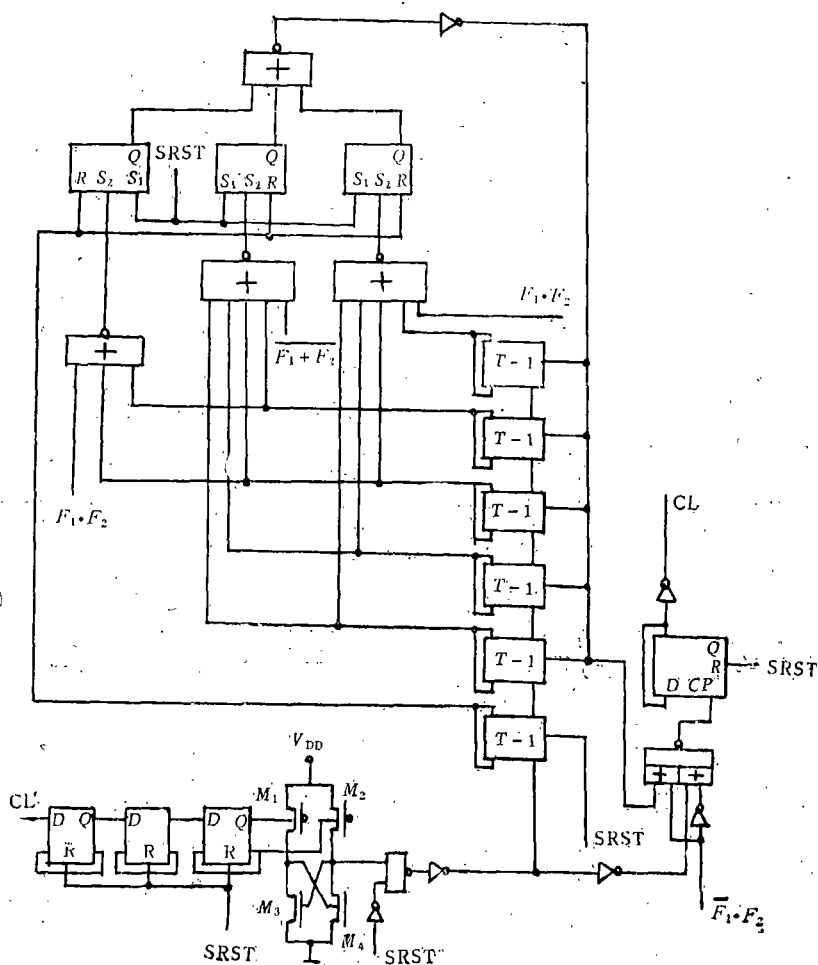


图7 SSRST工作过程

5 可编程系统时钟产生电路

为了使芯片能适合不同的交换机对拨号脉冲速率的要求,本系统以外接输入信号控制系统时钟频率方式调节拨号脉冲速率。其控制方式是外接电平信号控制一计数器的模。用此模可变计数器对稳定的振荡信号计数,产生频率可控制的系统时钟信号。图8是其电路图。



6 系统控制电路

本系统控制电路是一个有限状态机电路。它通过接收各子系统输出信号的综合处理,确定系统的状态。然后通过状态译码电路的输出,对整个数字系统进行控制。图 9 是系统控制电路的逻辑电路图。

通过对系统的功能分析, 确认系统有 4 种状态: (1)初始态; (2)发拨号脉冲态; (3)等待键盘输入态; (4)暂停状态。

摘机后,随着第一个键的按下,键盘接口控制电路对按键的处理,同时使系统状态由起始状态转入发脉冲状态。控制计数输出电路从 RAM 中取出数据处理。直到 $AE = 1$,即所存入 RAM 的内容都发过了。计数输出电路的反馈使系统进入等待键盘输入状态。如果计数输出电路从 RAM 中取出的键码是 1011,计数输出电路向系统发出暂停请求 $\overline{SS} = 0$,使系统进入暂停状态。解除暂停状态有 3 种方式:(1)计数输出电路发来暂停时间到,请求去除暂停 $\overline{PHA} = 0$;(2)在暂停时又有一键按下,对此键处理的同时请求系统去除暂停;(3)外部输入信号强迫系统去除暂停状态,这一外部输入信号可由具有隐含输入的输入端引入。不接此端,即系统不具备此功能,但不影响别的功能。

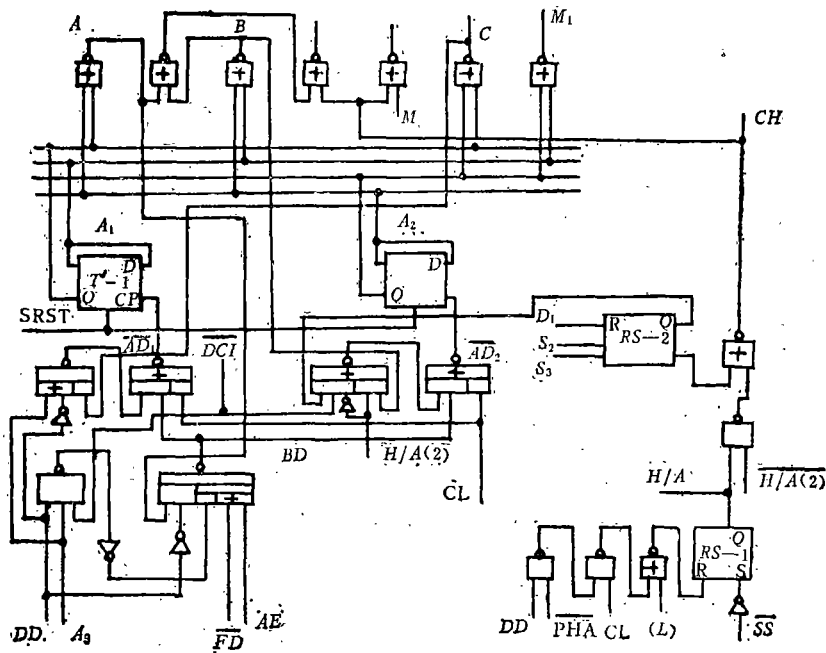


图9 系统控制电路

7 键盘接口控制电路

当键按下后,需经过一段时间的延时,键码才能在数据线上稳定。在数据存入 RAM 期间,应禁止键盘再输入(即输入而不处理),这一系列关于键盘的处理,都是由键盘中接口控制电路完成的。图 10 是键盘接口控制电路的电路图。

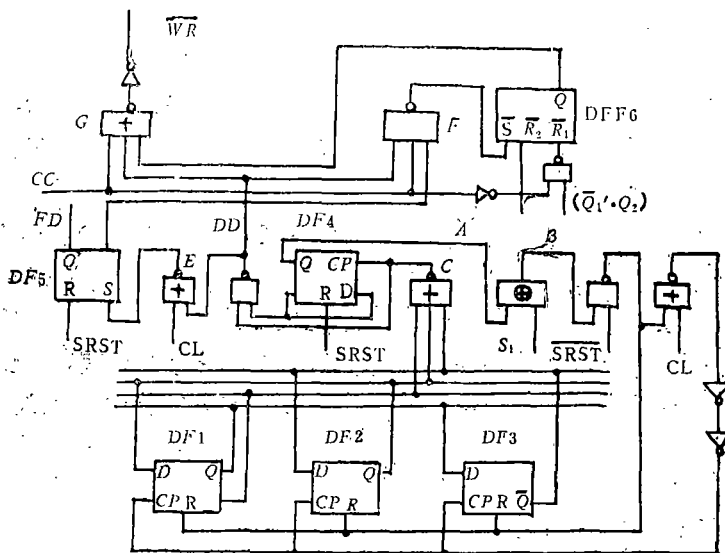


图10 键盘接口控制电路

整个键盘接口控制电路的运行说明：一个有效的按键被接收后，4个时钟周期后产生一DD负脉冲，时间为一个CL周期，如果这个键是第一个按键，则通过门E、CL与DD的共同作用，使得DF5状态翻转，输出FD为高电平。同时，如果此键是重拨键“井”，则CC=1。一方面通过门G使 $\overline{WR}$ 处于高电平，另一方面通过F，在CC，DD， $\overline{FD}$ 的共同作用下，产生F=0，置DFF6为 $Q_6=1$ 反过来一直封锁G门，使 $\overline{WR}$ 一直保持在高电平（读RAM状态），直到由系统状态译码 $\overline{Q_1}' \cdot Q_2'$ 与CC的共同作用下，翻转DFF6，释放G门为止。如果此键不是重拨“井”键，则DD负脉冲通过G门，使 $\overline{WR}$ 产生一负脉冲给RAM，将数据存入RAM。起键后，经过4个时钟周期的延时，键盘接口控制电路重又回到原始复位状态，等待下一个键的输入。

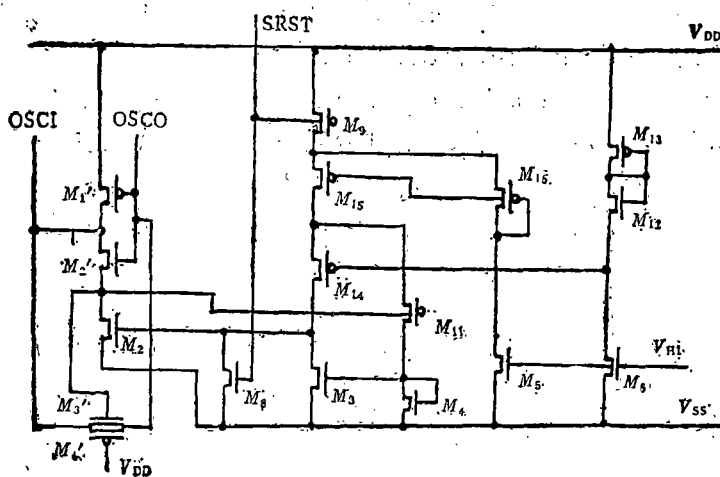


图11 系统振荡电路

8 振荡器及其控制电路

该系统振荡电路如图11所示。由外接晶体(455kHz)提供基准频率,单级放大器做为振荡器的正向通路,并产生180°相移,由振荡器控制电路控制放大器增益,外接晶体与电容产生另180°相移,从而产生稳定的正弦振荡输出,经系统时钟产生电路整形、放大、分频后提供给整个系统时钟信号CL。

参 考 文 献

- 1 Neil H E Weste. Principles of CMOS VLSI Design. 1985
- 2 Horbst E. Advances in CAD for VLSI, Logic Design and Simulation. 1986
- 3 Hicks P J. Semi—Custom IC Design and VLSI. 1983

Dissection, Analysis and Design fo LSI Pulse Dialer

Zhang Sishi Liang Chunan

(Dep. of Auto.)

Abstract The work of this paper is to develop the LSI for use in push-button telephones. The optimun seeking product—pulse dialer has been dissected and analysed, the thought and methods of which have been absorbed. Based on this works, the logic design of the pulse dialer has been completed. Once the IC is put into production, it will be beneficial to the society and will lay the foundation of developing a new generation telephone IC.

Subjectwords Integrated circuit; Digital systems; Logic design/CAD
IC design