

车用悬挂式时钟速度显示电路设计

张斯混 高自强

(自动化系)

摘要 本研究完成了车用计时计速器的设计工作。对单元电路进行了SPICE-II电路模拟,对逻辑设计在DAISY工作站上进行了逻辑模拟,以检查设计工作的正确性。版图设计采用 $5\mu\text{m}$ 铝栅自对准CMOS设计规则并在SX-8000系统上完成了版图输入及检查工作。本研究系国产第一片汽车专用计时计速电路的研究,电路投产成功后,将会产生相当的社会效益与经济效益,并为开发新一代汽车专用IC及推进其国产化进程打下基础。

主题词 计时计速器; 数字系统逻辑设计; 大规模集成电路计算机辅助设计

0 引言

专用集成电路(ASIC)是电子信息技术和集成电路技术发展的产物,ASIC的研制与开发,将进一步推动各学科的发展。按国家“七五”IC产业发展以ASIC为重点的方针,我们研制、开发设计了汽车专用IC计时计速器电路。本文侧重于电路设计及逻辑功能设计的介绍。

1 总体设计

本电路芯片面积为 $3.597 \times 3.159\text{mm}^2$,其上采用目前国内较为先进的 $5\mu\text{m}$ 铝栅自对准工艺做有4500只MOS管。外封装采用42脚双列直插塑封、输出驱动LED或荧光显示。组合显示屏为4位7段加1位2段共阴组合显示。电路外形及组合显示屏如图1、图2所示。

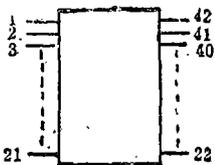


图1 芯片外型图

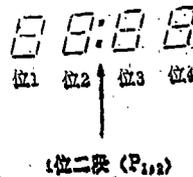


图2 组合显示屏

电路系统框图如图3所示。

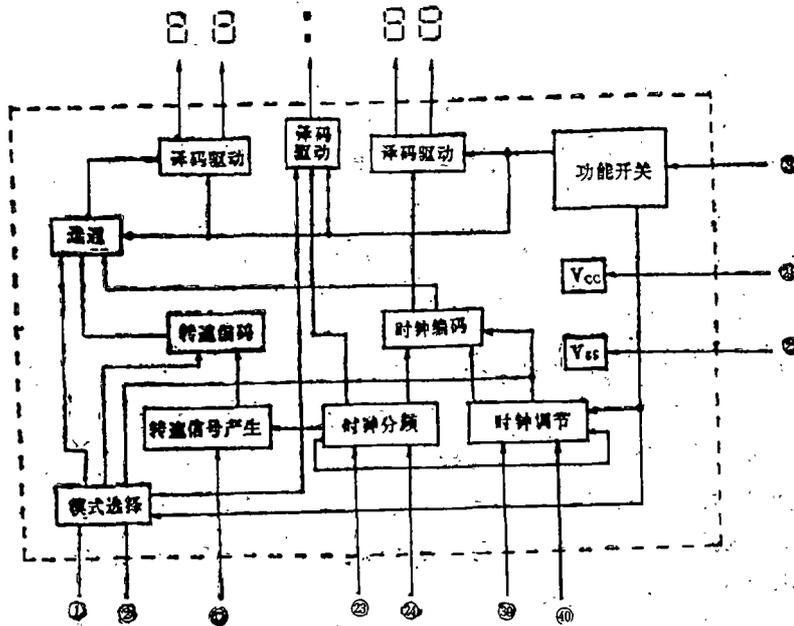


图3 系统框图

本芯片能完成计时计速二种功能。当模式选择电路工作于计时状态时，电路分频器将外接4.19MHz晶振信号经22级除2分频至1Hz时基信号。然后，由时钟编码器对其进行分、秒六十进制、时十二进制编码。最后，编码信号输出经译码器译码后驱动LED显示。在时钟工作状态时，还可对时钟进行时、分的预置调节及初始复位调节。

本电路的工作方式切换为计速状态时，时钟计时不受影响，显示则切换为汽车汽缸转速。由模式选择器确定为4缸或6缸计速方式后，转速信号由42脚输入，经整形滤波，送入转速信号编码器编码，最后，此编码信号输出至译码器译码驱动LED显示。

当电路的功能电源(P₃)切断后，电路则工作于纯计时方式，时钟不可调，也无输出显示。

2 单元电路设计

本电路广泛地应用了由倒相器、与非门构成的各种D触发器和移位寄存器。

2.1 除2分频器

本设计中共使用4种除2分频器(D₁, D₂, D₃', D₃)，它们的结构及工作方式基本相同，D₃触发器是主，从双重清零，D₃'为单主清零，而D₁、D₂则无清零端，下图所示的是D₃触发器的结构及时序图。

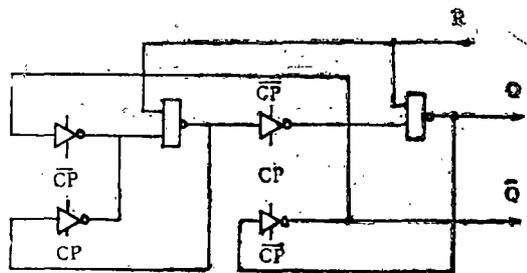


图4 D3触发器结构

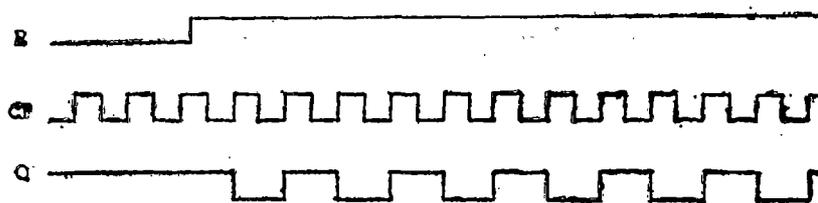


图5 D3触发器时序图

D3触发器是由两级移位寄存器串接而成，后级的Q输出反馈至前级的输入端而成，由时序可知其完成除2分频功能。

2.2 移位寄存器

设计中还使用了两种移位寄存器(D4, D5)从结构上看, D4是单输入, D5是双输入, 现以D4为例分析其时序, 其结构及时序如图所示。

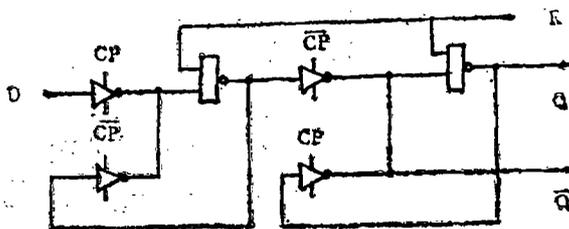


图6 D4移位寄存器结构

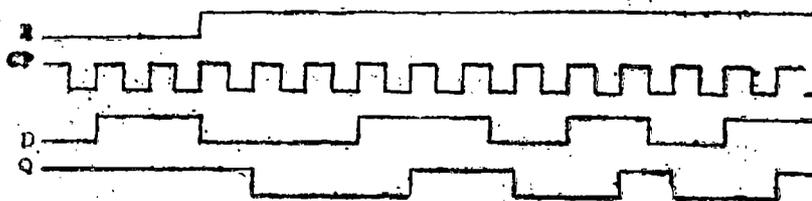


图7 D4移位寄存器时序

当清零信号 $R = 0$ 时, 此移位寄存器输出Q置1不变, 当 $R = 1$ 时, 移位寄存器正常延时传送信号由D至Q端。

3 逻辑功能设计

3.1 功能选择电路

本电路的功能选择电路由组合逻辑完成, 根据外接控制钮 P_1, P_2 的不同状态而产生几个控制信号, 控制电路工作于计时或是6缸计速、4缸计速状态、如表1所示。

表 1 电路工作状态真值表

状 态	4位七段显示	1位二段
$P_1 P_2 = 1$	$T = 1$	分秒计时显示(设计取消)
	$T = 0$	时分计时显示
$P_1 P_2 = 0$	$P_1 = \overline{P_2} = 1$	4缸计速显示
	$P_1 = \overline{P_2} = 0$	6缸计速显示

3.2 时钟功能设计

本电路的时钟功能，是一个完整的数字系统过程，分别介绍如下：

3.2.1 分频电路 图8为分频电路示意图，外接晶振信号经22级由 D_1, D_2, D_3, D_3' 组成的分频器分频至1Hz时基信号。其中电容 C_1, C_2 用以调节晶振的频率，一般在 2-10PF 范围内调节。

3.2.2 时钟编码电路 时钟编译码电路即是对1Hz时基信号进行分、秒六十进制，时十二进制计数编译码，然后，输出驱动LED显示。全编译码器结构示意图如图9所示。

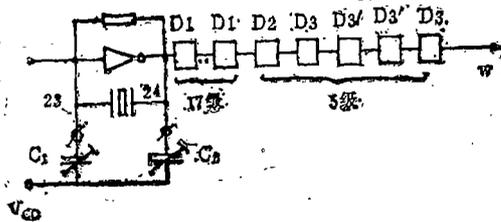


图8 分频电路示意图

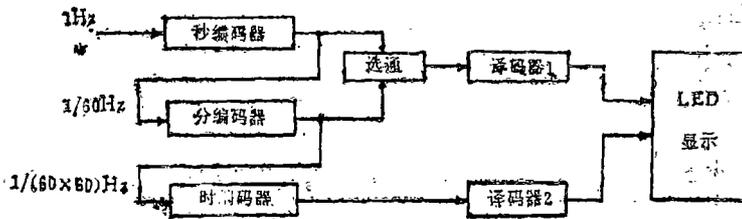


图 9 全编译码器结构示意图

由于分、秒都是六十进制计数工作方式，所以二者的编码器电路结构设计基本相同，译码器亦公用，现以“分”编码器为例，详细分析其结构与工作时序。图10为“分”编码器结构图。

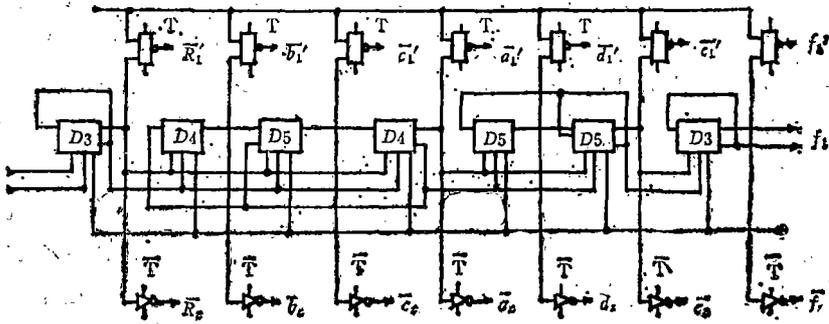


图10 “分” 编码器结构图

“分” 编码器的输入信号 f_s 是“秒”编码器的频率为 $1/60\text{Hz}$ 的输出信号。由图10可知其前半部为个位十进制编码，后半部为十位六进制编码，编码信号输出至译码器译码驱动，译码器是由组合逻辑构成。整个“分”十位编译码时序如图11所示。

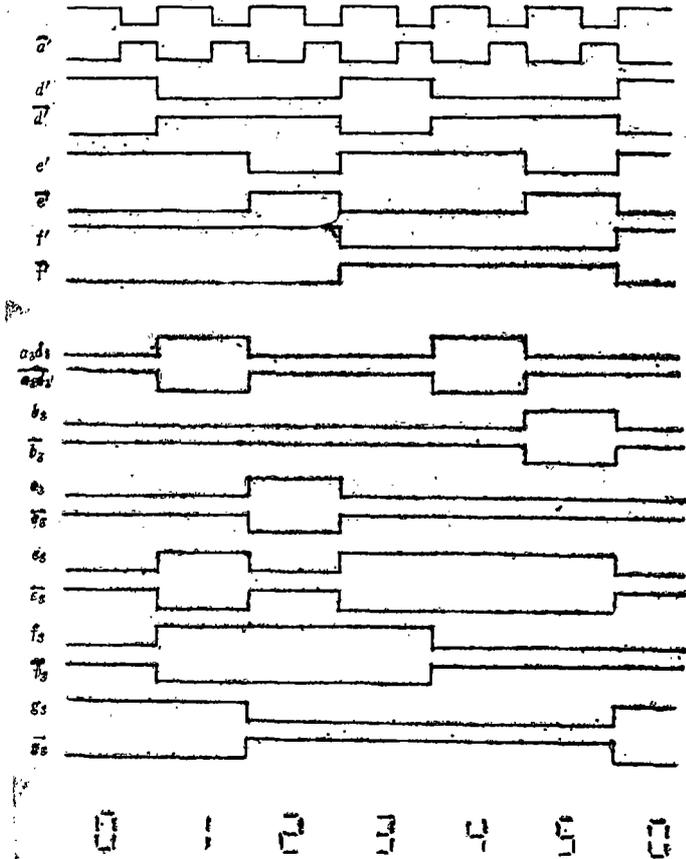


图11 “分” 十位编译码时序图

时钟的时编译码过程，即是对“分”编码输出的进位信号进行(0—12)12进制编译码，其原理与分、秒编译码基本相同。

3.2.3 时钟预置调节及复位电路 时钟预置调节及复位电路由外接端钮 P_{39} 及 P_{40} 来控制、当 P_{39} 动作时，调“分”电路工作，产生一个 2Hz 调节信号引入“分”编码器输入端代替 $1/60\text{Hz}$

的原“分”时基信号,快速触发“分”编码器电路翻转,从而达到调“分”的目的。 P_{49} 动作时,调时电路开始工作,其调时原理与调分原理完全相同。

当 P_{39} 、 P_{40} 同时动作时,时钟自动复位至1:00开始计时。

3.3 计速功能设计

当工作于计速方式时,转速信号产生电路对外接传感器上传来的转速脉冲信号进行抽样、滤波、计数,经计速编译码器进行双十进制编译码后,输出驱动位1,位2LED显示,位3及位4显示置零,显示单位为r./min.在计速电路模块中,可对4缸及6缸发动机进行速度检测,转速检测与显示0.5s刷新一次。根据实际需要,还设计了超速报警电路,通过可编程控制器对报警速度进行设置,信号处理器将报警速度与转速编码器输出进行比较,超速时发出声光报警。

4 电路模拟逻辑模拟及版图设计与验证

为验证电路与逻辑设计的正确性,设计过程中在VAX-780机上使用SPICE-II对电路设计进行了电路计算机模拟,所用参数全部采用无锡微电子中心MOS线提供的A1栅自对准CMOS工艺参数,模拟结果与理论设计完全相符。

逻辑模拟是在Daisy工作站上使用DLSZ II件完成,对整个时钟编码器的编码过程进行了模拟,模拟结果验证了逻辑设计的正确性。

此外,还在SX-8000MDS CAD系统上完成了芯片版图设计,并完成DRC、ERC检查。

参 考 文 献

- 1 Hicks P J. Semi-Custom IC Design and VLSI. 1983
- 2 Neil HE Weste. Principles of CMOS Design. 1985
- 3 Horbst E. Advances in CAD for VLSI. Logic Design and Simulation. 1986

Circuits Design of Hanging Clock and Speed Display for Automobiles

Zhang Sishi Gao Ziqiang

(Dept. of Auto.)

Abstract In this paper, The designing of the clock speedometer IC is introduced. The cell circuit design and logic design are examined and proved by circuit simulation with SPICE-2 and logic simulation in function level in Daisy work station. The regulation of the layout design is adopted with 5 um al-gate self-alignment CMOS design rules. The layout is finished in SX-8000 MDS system. Interactive design rule checking is done for every layout cell to prove the layout, whether correct or incorrect. In this paper, The first AASIC's clock speedometer has been developed. It will be beneficial to the society and economy, and lay the foundation of developing a new generation AASIC. And also it will carry the localization a step forward.

Keywords Clock speedometer AASIC; Digital system logic design; LSIC CAD